

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-073493

(43)Date of publication of application : 28.03.1991

(51)Int.Cl.

G11C 11/417
H01L 27/10

(21)Application number : 01-207811

(71)Applicant : HITACHI LTD
HITACHI VLSI ENG CORP

(22)Date of filing : 14.08.1989

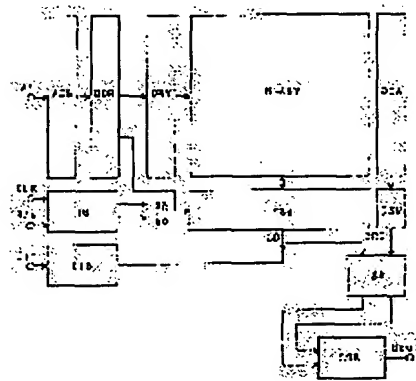
(72)Inventor : MIZUKAMI MASAO
SATO YOICHI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To attain rapid and stably reading by amplifying a reading signal of a comparatively small signal level read out from a memory cell with a single end constitution by a differential sense amplifier based upon a reference voltage formed by a dummy cell.

CONSTITUTION: A Y-group decoder DCR decodes a Y-group address signal to form a data line selecting signal and a Y selection circuit YSW connects the data line of a memory array M-ARY consisting of memory cells with single end constitution to a common data line CD. The dummy data line of a dummy array DCA is connected to a common dummy line CDD through a dummy switch circuit DSW and the reading signal of the common data line CD is supplied to the differential sense amplifier SA using the potential of the CDD as a reference voltage and highly stably and rapidly amplified. Consequently, high sensitive and rapid reading can be attained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平3-73493

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)3月28日

G 11 C 11/417
H 01 L 27/10

3 7 1

8624-5F
8323-5B

G 11 C 11/34 3 0 5

審査請求 未請求 請求項の数 3 (全13頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 平1-207811

⑰ 出 願 平1(1989)8月14日

⑱ 発 明 者 水 上 雅 雄 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑲ 発 明 者 佐 藤 陽 一 東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイエンジニアリング株式会社内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

\r ㉑ 出 願 人 日立超エル・エス・アイエンジニアリング株式会社 東京都小平市上水本町5丁目20番1号

㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. シングルエンド構成のスタティック型メモリセルからの読み出し信号を、ワード線とダミーデータ線との交点に設けられたダミーセルにより形成された基準電圧を受ける差動型のセンスアンプにより増幅することを特徴とする半導体記憶装置。

2. 上記スタティック型メモリセルがマトリックス配置されてなるメモリアレイとそれに対応したダミーアレイとを一对として共通データ線を設けるとともに、一方のメモリアレイからの読み出し動作のとき、他方のメモリアレイに対応したダミーセルを選択してそれぞれの共通データ線の信号を差動型のセンスアンプに入力することを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. データ線を一方の電位にプリチャージし、共

通データ線を他方の電位にプリチャージするとともに、上記ダミーセルは対応するものが直列形態に接続されるものであることを特徴とする特許請求の範囲第2項記載の半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体記憶装置に関し、1本のデータ線に結合されるシングルエンド構成のスタティック型RAMに利用して有効な技術に関するものである。

(従来の技術)

実質的に1本のデータ線にし、このデータ線により書き込み動作と読み出し動作とを行うスタティック型RAMが、特開昭55-105387号公報により提案されている。このRAMにおけるメモリセルは、CMOSインバータ回路と、その出力信号を選択的に入力側に帰還するクロックドインバータ回路と、書き込み信号を伝える伝送ゲートMOSFET、及び読み出し信号を出力する読み出し用クロックドインバータ回路から構成さ

れる。これにより、このメモリセルは、入力専用端子と出力専用端子とを持ち、それぞれ入力用と出力用のバスライン（データ線）に接続される。このとき、隣接するメモリセルに対して、例えば上記出力用バスラインを入力用バスラインとして用いるようにすることによって、バスラインの数を通常の相補データ線を用いたRAMに比べて半減させるものである。

〔発明が解決しようとする課題〕

上記のRAMにあっては、実質的にバスライン（データ線）が約1/2に半減できる利点はある反面、メモリセルとして上記のようなクロックドインバータ回路を用いるものであるため素子数が多くなる。例えば、上記メモリセルをCMOS回路により構成した場合、1つのクロックドインバータ回路において4個のMOSFETを必要とするから、MOSFETの数が全体で12個も必要になる等の問題がある。ちなみに、完全スタティック型メモリセルにおいては、全部で6個のMOSFETから構成されるものである。

〔実施例〕

第1図には、この発明に係るスタティック型RAMの一実施例のブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上において形成される。

複数ビットからなるアドレス端子A1は、アドレスバッファADBに伝えられる。このアドレスバッファADBに取り込まれたアドレス信号は、デコーダDCRにより解釈される。X系のデコーダDCRは、X系のアドレス信号を解釈してワード線の選択信号を形成する。ワード線選択信号は、特に制限されないが、ワードドライバDRVに伝えられる。このようなワードドライバDRVを設けることにより、多数のメモリセルが結合されることによって比較的大きな負荷容量を持つワード線を高速に選択/非選択に切り換えるようにされる。なお、メモリセルが後述するような読み出し用と書き込み用の一対のワード線に結合される場合、ワードドライバDRVは、それぞれの動作モ

この発明の目的は、高集積化と低消費電力化を実現した新規なシングルエンド構成のスタティック型RAMを提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、シングルエンド構成のスタティック型メモリセルからの読み出し信号を、ワード線とダミーデータ線との交点に設けられたダミーセルにより形成された基準電圧を受ける差動型のセンスアンプにより増幅する。

〔作用〕

上記した手段によれば、シングルエンド構成のメモリセルからの比較的小さな信号レベルの読み出し信号をダミーセルにより形成された基準電圧を用いて差動型のセンスアンプを用いて増幅するため高速で安定した読み出しが可能になる。

ードに応じたワード線の選択動作を行う。

メモリアレイM-ARYは、後述するようなシングルエンド構成のメモリセルがマトリクス配置されて構成される。すなわち、データ線とワード線との交差点に各メモリセルが配置される。

このようなメモリアレイM-ARYに対して、その読み出し参照電圧を形成するダミーセルからなるダミーセルアレイDCAが設けられる。ダミーセルアレイは、各ワード線とダミーデータ線との交点にそれぞれ設けられる。すなわち、ダミーアレイDCAは、ダミーセルが1列分により構成される。

Y系のデコーダDCRは、Y系のアドレス信号を解釈してデータ線の選択信号を形成する。データ線選択信号は、Y選択回路（カラムスイッチ）YSWに伝えられる。Y選択回路YSWは、データ線の選択信号にしがってメモリアレイM-ARYのデータ線を共通データ線CDに接続させる。この実施例では、上記ダミーアレイDCAのダミーデータ線がダミースイッチ回路DSWを介して

共通ダミーデータ線CDDに接続される。上記共通データ線CDの読み出し信号は、共通ダミーデータ線CDDの電位を参照電圧とする差動型のセンスアンプSAに供給され、ここで高安定にかつ高速に増幅される。センスアンプSAの増幅出力信号は、データ出力回路DOBを通して出力端子Doutから送出される。

タイミング制御回路TGは、クロック信号CLKと制御信号R/Wを受けて、内部動作に必要なプリチャージ信号PCやセンスアンプ動作タイミング信号sc等を形成する。

データ入力回路DIBは、入力端子Diaから供給された書き込みデータを受けて、共通データ線CDに伝える。

第2図には、この発明に係るスタティック型RAMの要部一実施例の回路図が示されている。同図の回路はCMOS(相補型MOS)回路から構成されており、PチャンネルMOSFETは、そのチャンネル(バックゲート)部に矢印が付加されることによってNチャンネルMOSFETと区

別される。

この実施例におけるメモリセルMCは、高集積化のためにシングルエンド構成とされる。すなわち、メモリセルMCは、そのうちの1個のメモリセルMCが例示的に示されているように、一対のCMOSインバータ回路N1とN2の入力と出力とが交差接続されてラッチ形態にされる。この場合、インバータ回路N1の入力端子からのみ保持情報の書き換えを可能とするために、言い換えるならば、シングルエンド構成とするために、インバータ回路N1を構成するMOSFETのサイズ(コンダクタンス)が大きくされ、インバータ回路N2を構成するMOSFETのサイズ(コンダクタンス)が小さくされる。これにより、インバータ回路N1の入力とインバータ回路N2の出力の接続点がラッチ回路の入出力端子とされ、この入出力端子をハイレベル/ロウレベルにすれば、それに応じて保持情報が決定される。

上記ラッチ回路の入出力端子は、書き込み用のアドレス選択スイッチMOSFETQ3を通して

データ線D0に接続される。この書き込み用のアドレス選択スイッチMOSFETQ3のゲートは、対応する書き込みワード線W0Wに接続される。上記ラッチ回路の入出力端子は、読み出し用の増幅MOSFETQ1のゲートに接続される。この増幅MOSFETQ1のソースは接地され、ドレインと上記対応するデータ線D0との間に読み出し用のアドレス選択スイッチMOSFETQ2が設けられる。この読み出し用のアドレス選択スイッチMOSFETQ2のゲートは、対応する読み出しワード線W0Rに接続される。

メモリアレイM-ARYを構成する同じ行に設けられる他のメモリセルも上記同様な構成とされ、上記ワード線W0W、W0R及びW1W、W1Rに対応するアドレス選択用スイッチMOSFETのゲートがそれぞれ接続される。同図には、行方向には2個分のメモリセルの具体的回路が例示的に示されている。

メモリアレイM-ARYを構成する同じ列に設けられる他のメモリセルも上記同様な構成とされ、

上記データ線D0、D1に接続される。同図には、縦方向にも2個分のメモリセルの具体的回路が例示的に示されている。

上記データ線D0、D1・・・及び後述するダミーデータ線DD等には、Pチャンネル型のプリチャージMOSFETQ5、Q6及びQ7が設けられる。これらのMOSFETQ5、Q6及びQ7のゲートには、プリチャージ信号PCが共通に供給される。

この実施例では、上記メモリセルからの読み出し動作において用いられる参照電圧を形成するダミーセルが設けられる。ダミーセルDCは、直列形態にされたMOSFETQ3とQ4から構成される。上記ダミーセルDCを構成する一方のMOSFETQ3のゲートは、対応する読み出しワード線W0Rに接続される。他方のMOSFETQ4のゲートは、特に制限されないが、上記プリチャージ信号PCが伝えられる。これにより、プリチャージ期間においてMOSFETQ4がオフ状態となり、読み出し期間にMOSFETQ4等が

オン状態になり、ダミーセル列がアクティブにされる。

上記各データ線D0、D1・・・等は、カラム選択回路を構成する並列形態のPチャンネルMOSFETとNチャンネルMOSFETからなるCMOSスイッチ回路Q10、Q11、Q12、Q13を介して共通データ線CDに接続される。これに対して、ダミーデータ線DDは、同様なCMOSスイッチ回路Q14、Q15を介してダミー共通データ線CDDに結合される。

上記Nチャンネル型のスイッチMOSFETQ11のゲートはY選択線Y0に接続され、Pチャンネル型のスイッチMOSFETQ10のゲートには、インバータ回路N10を過したY選択線Y0の選択信号が伝えられる。データ線D1に対応したMOSFETQ12、Q13も、上記同様に対応するY選択線Y1の選択信号が伝えられる。また、ダミーデータ線DDに設けられるダミースイッチMOSFETQ14、Q15のゲートにも、ダミー選択線DYの選択信号が同様に供給される。

号scがハイレベルにされたときにオン状態になり、センスアンプを活性化させる。

第2段目の増幅回路は、ダブルの差動回路から構成される。すなわち、NチャンネルMOSFETからなる差動MOSFETと、そのドレイン側に設けられたPチャンネル型の電流ミラー形態の負荷MOSFETとからなる2対の差動増幅回路の入力を交差的に接続し、そのダブルエンドの差動出力を得るものである。これら2対の差動MOSFETの共通ソースと回路の接地電位点との間には、上記タイミング信号scを受けるNチャンネルMOSFETQ21が設けられ、タイミング信号scがハイレベルにされたときに上記同様に活性化される。

上記一対の差動回路の一対の出力端子と電源電圧Vccとの間には、上記タイミング信号scを受けるPチャンネル型のプリチャージMOSFETが設けられる。そして、上記差動回路の出力信号は、インバータ回路N4とN5を過して形成された相補的な出力信号AとBが出力回路に伝えられ

ダミー選択線DYは、定常的に選択レベルに固定されるものの他、メモリアクセスに同期してその都度選択レベルにしてもよい。

上記共通データ線CDとダミー共通データ線CDDの信号は、次に説明するような差動型のセンスアンプによって増幅される。

この実施例におけるセンスアンプは、増幅回路が2段縦列形態に接続されて構成される。入力段回路は、次の回路から構成される。

上記共通データ線CDとダミー共通データ線CDDの信号は、レベルシフト動作を行うソースフォロワ形態のNチャンネルMOSFETQ16とQ17のゲートに伝えられる。これらのMOSFETQ16とQ17のソース側には、電流ミラー形態にされたNチャンネルMOSFETQ18、Q19が設けられ、これらのMOSFETQ18、Q19の共通ソースと回路の接地電位点との間には、スイッチMOSFETQ20が設けられる。このスイッチMOSFETQ20は、センスアンプ動作タイミング信号scが供給され、タイミング信

る。

出力回路は、上記インバータ回路N4とN5を過した相補出力信号AとBを受けるブッシュアップ形態のNチャンネルMOSFETQ23、Q24及びQ25、Q26と、上記ブッシュアップ回路の出力信号をそれぞれ受けるラッチ形態に接続された一対のインバータ回路から構成される。上記ブッシュアップ回路Q23、Q24とQ25、Q26のゲートには、上記信号AとBが交差的に供給される。例えば、出力信号AがハイレベルならMOSFETQ23とQ26がオン状態になり、その信号レベルがラッチ回路に取り込まれるとともに、出力端子Doutからはロウレベルの信号が出力される。出力信号BがハイレベルならMOSFETQ24とQ25がオン状態になり、その信号レベルがラッチ回路に取り込まれるとともに、出力端子Doutからはハイレベルの信号が出力される。

なお、上記共通データ線CDには、書き込み動作のとき書き込み信号を伝える入力回路D1Bの

出力端子も結合される。

上記ワード線 $W0R$ 、 $W1R$ 及び $W0W$ 、 $W1W$ 等は、 X 系の選択回路である X アドレスバッファ $XADB$ と、アドレスバッファ $XADB$ を通して取り込まれたアドレス信号を解読するとともに図示しないリード/ライト信号に応じて書き込み又は読み出し用の1本のワード線の選択信号を形成するデコード回路 DCR により選択される。同図では、アドレスバッファとデコードとを合わせて $XADB$ 、 DCR のように表している。なお、デコード回路 DCR の出力部には、図示しないが前記のようなワードドライバが設けられるものと理解されたい。

上記 Y 選択線 $Y0$ 、 $Y1$ 等は、 Y 系の選択回路である Y アドレスバッファ $YADB$ と、アドレスバッファ $YADB$ を通して取り込まれたアドレス信号を解読して1本のデータ線の選択信号を形成するデコード回路により選択される。同図では、アドレスバッファとデコードとを合わせて $YADB$ 、 DCR のように表している。

ようなレベル差(V_R-L)を差動型のセンスアンプ SA が増幅して、ロウレベル L の読み出し信号に対応した出力信号 $Dout$ を形成する。

一方、選択されたメモリセルにおいてラッチ回路の入出力端子がロウレベルなら $MOSFETQ1$ 等がオフ状態になっている。したがって、読み出し用のワード線 $W0R$ がハイレベルに選択されてアドレス選択スイッチ $MOSFETQ2$ 等がオン状態にされても、データ線 $D0$ 等はハイレベル H のプリチャージレベルのままにされる。このとき、ダミーセルは上記のようなディスチャージ動作を行って基準電圧 V_R を形成する。このようなレベル差($H-V_R$)を差動型のセンスアンプ SA が増幅して、ハイレベル H の読み出し信号に対応した出力信号 $Dout$ を形成する。

また、書き込み動作のときには、入力端子 Din から供給された書き込みデータが入力バッファ回路 DIB を通して共通データ線 CD に伝えられる。この共通データ線 CD に伝えられたハイレベル/ロウレベルの書き込み信号は、カラムスイッチ回

路 YSW 、データ線を通して選択された書き込みワード線に対応した1つのメモリセルに伝えられることによって書き込みが行われる。すなわち、この実施例のメモリセルは、インバータ回路 $N2$ を構成する $MOSFET$ のコンダクタンスが小さく設定されているから、上記選択経路及びスイッチ $MOSFETQ3$ を通して伝えられた信号レベルに従って、その保持レベルが決定される。

第7図には、この実施例のスタティック型 RAM の動作の一例を説明するためのデータ線 D とダミーデータ線 DD 波形図が示されている。

プリチャージ期間において、データ線 D とダミーデータ線 DD は、共にハイレベル H にプリチャージされている。読み出し期間では、読み出しワード線が選択される。また、上記プリチャージ期間の終了によりダミーセルの $MOSFETQ4$ 等がオン状態になっている。もしも、選択されたメモリセルにおいてラッチ回路の入出力端子がハイレベルなら $MOSFETQ1$ 等がオン状態になっている。したがって、データ線 D は読み出し用のアドレス選択スイッチ $MOSFET$ と上記読み出し $MOSFET$ を通してロウレベル L にディスチャージされる。このとき、ダミーセルは $MOSFETQ4$ がメモリセルの $MOSFETQ1$ 等のコンダクタンスの約 $1/2$ に設定されているから、ダミーデータ線 DD におけるディスチャージ動作により形成される基準電圧 V_R がデータ線 D の半分にされる。この

この実施例のスタティック型 RAM は、上記のようにシングルエンド型のメモリセルを用いるものであるため、セル面積を小さくでき高集積化が可能になる。この読み出し信号は、ダミーセルにより形成された基準電圧を参照して差動型のセンスアンプにより増幅されるものであるから、高速度に高安定に読み出される。

第3図には、この発明に係るスタティック型 RAM の他の一実施例の回路図が示されている。この実施例におけるメモリセルは、前記のようなインバータ回路 $N1$ と $N2$ からなるラッチ回路の入出力端子がアドレス選択用スイッチ $MOSF$

BTQ1とQ2を通してデータ線D0に接続される。上記スイッチMOSFETQ1のゲートは、同図において横方向に延長されるワード線W0に接続され、この実施例では上記スイッチMOSFETQ2のゲートは、同図において縦方向に延長されるY選択線Y0に接続される。

メモリアレイM-ARYを構成する同じ行に設けられる他のメモリセルも上記同様な構成とされ、上記ワード線W0に対応するアドレス選択用スイッチMOSFETのゲートが接続される。同図には、行方向には2個分のメモリセルの具体的回路が例示的に示されている。

メモリアレイM-ARYを構成する同じ列に設けられる他のメモリセルも上記同様な構成とされ、上記データ線D0に接続される。そして、上記Y選択線に対応するアドレス選択用スイッチMOSFETのゲートが共通に接続される。同図には、縦方向にも2個分のメモリセルの具体的回路が例示的に示されている。

上記データ線D1、D1・・・及び後述するダ

ミーデータ線DD等には、Pチャンネル型のプリチャージMOSFETQ5、Q6及びQ7設けられる。これらのMOSFETQ5、Q6及びQ7のゲートには、プリチャージ信号PCが共通に供給される。

この実施例では、上記メモリセルからの読み出し動作において用いられる参照電圧を形成するダミーセルが設けられる。ダミーセルDCは、直列形態にされたMOSFETQ3とQ4から構成される。上記ダミーセルDCを構成する一方のMOSFETQ3のゲートは、対応するワード線に接続される。他方のMOSFETQ4のゲートは、ダミー選択線DY'に接続される。このダミー選択線DY'は、上記プリチャージ信号PCが伝えられる。これにより、プリチャージ期間においてMOSFETQ4がオン状態となり、ダミーセルの保持情報をロウレベルにリセットし、メモリアクセスが行われるとき、選択されたワード線に対応したMOSFETQ3がオン状態となり、上記ロウレベルの保持情報とダミーデータ線DDとを

結合して、ダミーデータ線DDのプリチャージ電位の引き抜きを行う。このダミーデータ線の電位引き電位は、上記メモリセルからのロウレベルの読み出し動作におけるデータ線の電位低下分の半分に設定される。それ故、ダミーセルDCは、MOSFETQ3とQ4の接続点の寄生容量が不足するなら容量素子が付加される。

上記各データ線D0、D1・・・等は、前記同様なカラムスイッチ回路を介して共通データ線CDに接続される。ダミーデータ線DDも同様にしてダミー共通データ線CDDに結合される。

上記共通データ線CDとダミー共通データ線CDDの信号は、前記同様なセンスアンプによって増幅される。センスアンプにおけるインバータ回路N5の出力信号Aは、次の書き込み回路に伝えられる。書き込み回路は、書き込みデータRWDを形成するインバータ回路N8と、上記出力信号Aを受けて、上記書き込みデータRWDの出力制御信号を形成する縦列形態とインバータ回路N6、N7と、このインバータ回路N7によ

り出力される出力制御信号を受けて、上記書き込みデータRWDを共通データ線CDに伝えるMOSFETQ22から構成される。

この実施例のスタティック型RAMの読み出し動作の概略は次の通りである。

プリチャージ信号PC(クロックパルスCLK)がロウレベルのとき、RAMは非動作状態になり、プリチャージMOSFETQ5～Q7がオン状態になってデータ線D0、D1・・・、ダミーデータ線DD等をハイレベルにプリチャージしている。このとき、センスアンプからの出力信号AとBも、それに対応したインバータ回路N4とN5の入力に設けられたプリチャージMOSFETのオン状態によってロウレベルにされている。これにより、一対のプッシュプル回路の出力がハイインピーダンス状態になり、出力端子Doutにはラッチ回路に保持された出力信号が伝えられている。

プリチャージ信号PC(クロックパルスCLK)がロウレベルからハイレベルに変化すると、

それに応じて、アドレス信号の取り込みが行われ、デコードがそれを解読して例えばワード線W0とY選択線Y0が選択状態にされる。

これにより、上記ワード線W0とY選択線Y0との交点に設けられた1つのメモリセルのみが選択され、そのラッチ回路の入出力端子がデータ線D0と結合される。このメモリセルMCの保持レベルがロウレベルのとき、データ線D0のプリチャージレベルが、メモリセルMCのロウレベルによりロウレベル側に低下させられる。すなわち、データ線D0の寄生容量とメモリセルMCにおけるラッチ回路の入出力端子の寄生容量との容量比に対応したチャージシェアが生じる。このとき、データ線D0の容量値に対してメモリセルの容量値は小さいから、データ線D0の電位は僅かに低下するのに対して、メモリセルMCの保持電位は、急激に上昇してラッチ回路を構成するインバータ回路N1のロジックスレッシュホールド電圧を超えてしまう。それ故、メモリセルMCの保持レベルは、ロウレベルからハイレベルに反転させられてしま

う。言い換えるならば、この実施例におけるメモリセルの読み出し動作は、上記のように保持レベルがロウレベルのときには、プリチャージレベルをロウレベルに引き抜く反作用として保持レベルがハイレベル側に破壊されることによって行われる。

上記のようなデータ線D0のプリチャージ電位の微小な電位低下を検出するために、ダミーセルDCが使われる。すなわち、ワード線W0のハイレベルに対応してMOSFETQ3がオン状態になり、プリチャージ期間のときオン状態になっているMOSFETQ4によりロウレベルにされていたMOSFETQ3とQ4の接続点のノードとダミーデータ線DDとを接続させる。これにより、ダミーデータ線DDの電位が、上記データ線D0のロウレベル読み出しにおける低下分の約半分だけ低下するようにダミーデータ線とダミーセルの寄生容量比が設定されている。

上記データ線D0とダミーデータ線DDの電位変化分は、カラムスイッチ回路を通して共通デー

タ線CDと共通ダミーデータ線CDDを通してセンスアンプSAに伝えられ、その増幅動作が行われる。上記のようにメモリセルからの読み出し信号がロウレベルのとき、センスアンプの出力信号Aがハイレベルになり、インバータ回路N8を通して共通データ線CDの電位をロウレベルにする。したがって、データ線D0の電位がロウレベルに変化して、選択されたメモリセルにはロウレベルが書き込みされることになり、上記のような読み出し動作によっていったん破壊された保持情報がロウレベルに回復される。また、上記信号Aのハイレベル、信号Bのロウレベルにより、出力回路は、出力端子Doutからロウレベルの出力信号を送出するとともに、その出力信号をラッチ回路に保持する。

なお、選択されたワード線W0に結合された他のメモリセルは、Y選択線Y1等がロウレベルの非選択状態になっている。それ故、ワード線W0に対応した他のメモリセルは、ラッチ回路により保持動作が行われており、それに対応して他のデ

ータ線D1等はプリチャージ電位を維持するものである。

例えば、次の動作サイクルにおいて、ワード線Y0に代わってY1が選択され、このワード線Y1に対応したメモリセルがハイレベルを保持しているなら、データ線D1の電位はプリチャージ電位のままにされる。このときには、センスアンプSAの出力信号Aがロウレベルになり、書き込み回路のスイッチMOSFETQ22をオフ状態のままにする。すなわち、上記のようなハイレベルの読み出し動作のときには、メモリセルの保持情報は破壊されないから、書き込み動作が省略される。

この実施例のRAMでは、ワード線が1本から構成されることに代わってY選択線が追加されるが、実質的に1つのメモリセルしか選択されないから低消費電力化が可能になる。

第4図には、この発明に係るスタティック型RAMの更に他の一実施例の要部回路図が示されている。すなわち、2ポートRAMの一実施例であ

る。この実施例では、データ線が読み出し用と書き込み用に分けられるとともに、書き込み用のデータ線のうち隣接するものが共通化される。すなわち、メモリアレイM-ARYに前記第3図の実施例のようなY選択線Y0、Y1等を設けて、メモリセルMCの書き込み用のアドレス選択スイッチMOSFETQ3'のゲートに供給する。スイッチMOSFETQ3'は、隣接するメモリセルのスイッチMOSFETと接続される。これら隣接するスイッチMOSFETの共通接続点と書き込み用データ線WD01との間には、書き込みワード線W0Wにゲートが接続された前記スイッチMOSFETQ3を設ける。このスイッチMOSFETQ3は、隣接する2つの列のメモリセルに対して共通に用いられる。

なお、特に制限されないが、この実施例では、メモリセルからの読み出し信号は、書き込み信号と同極性が出力される。すなわち、書き込み用のインバータ回路N1の出力端子側に読み出し用のMOSFETQ1とスイッチMOSFETQ2が

設けられる。この構成に代えて、ラッチ回路の同じ入出力端子側から上記読み出しと書き込みを行うようにするものであってもよい。

この構成では、書き込み用と読み出し用のデータ線が設けられることに対応して、書き込み信号を同じサイクルで読み出すことができる。すなわち、書き込み動作の確認を同じメモリサイクル中に行うことができる。このような動作モードを実行する場合には、書き込み用と読み出し用のワード線が共に選択される。

第5図には、この発明が適用された2ポートRAMの一実施例のブロック図が示されている。

メモリアレイは、M-ARY1とM-ARY2から構成される。これらのメモリアレイM-ARY1とM-ARY2は、前記実施例のようなシングルエンド構成のメモリセルを用いて構成される。それ故、その読み出しのためのダミーアレイDC1、DC2がそれぞれのメモリアレイM-ARY1、M-ARY2に対応して設けられる。

アドレスバッファは、読み出し用アドレス信号

ARIを受ける読み出し系アドレスバッファRABと、書き込み用アドレス信号AWIを受ける書き込み系アドレスバッファWABから構成される。上記アドレスバッファRABとWABの出力信号は、それぞれ対応する読み出し系アドレスデコーダRDCR、書き込み系アドレスデコーダ回路WDCRに供給される。

上記アドレスデコーダRDCRとWDCRにより形成されたX系の選択信号は、読み出し系のワードドライバRDVと書き込み系のワードドライバWDVを介してメモリアレイM-ARY1とM-ARY2の読み出しワード線、書き込みワード線に伝えられる。

上記アドレスデコーダRDCRとWDCRにより形成されたY系の選択信号は、Y選択回路YSW1、YSW2と、書き込み系のYワードドライバに伝えられる。

上記一対からなるメモリアレイM-ARY1、M-ARY2とダミーセルDC1、DC2からの読み出し信号と基準電圧とはセンスアンプSAに

入力され、ここで増幅されてデータ出力回路DOBを通して出力される。

書き込み信号Dinを受ける書き込み回路(データ入力バッファ)DIBの出力信号は、上記Y選択回路YSW1、YSW2に伝えられる。

読み出し用クロック信号RCは、読み出し系のタイミング発生回路RTGに入力され、ここで読み出し動作に必要な内部のタイミング信号が形成される。書き込み用クロック信号WCは、書き込み系のタイミング発生回路WTGに入力され、ここで書き込み動作に必要な内部のタイミング信号が形成される。

アドレス比較回路ACOMPは、読み出し系の内部アドレス信号ariと書き込み系の内部アドレス信号awiとを受けて、書き込みアドレスと読み出しアドレスが競合したことを検出し、その検出出力をY選択回路YSW1、YSW2に伝える。

上記アドレス比較回路ACOMPは、両アドレス信号ariとawiとが一致したときには、ラ

タイトデータを優先させて、選択されるメモリセルには書き込み動作を行わせる。そして、メモリセルの読み出しを行わないで、上記書き込み系の共通データ線と読み出し系の共通データ線を短絡して書き込みデータをそのまま読み出しデータとして出力させる。この構成を採ることによって、同じメモリセルに対する書き込みと読み出しを実質的に同時に行わせることが可能になる。

この実施例では、メモリアレイム-ARYを2つ分割し、それに対応してそれぞれにダミーセル列DC1とDC2を設ける。この理由は、例えばメモリアレイム-ARY1のデータ線を選択したときには、メモリアレイム-ARY2側のダミーセル列DC2を選んで基準電圧を形成する。逆に、メモリアレイム-ARY2のデータ線を選択したときには、メモリアレイム-ARY1側のダミーセル列DC1を選んで基準電圧を形成する。この構成では、メモリアレイム-ARY1のデータ線からの読み出し信号は、メモリアレイム-ARY1(又はM-ARY2)の共通データ線から出

力され、ダミーセル列DC2(又はDC1)からの基準電圧は、メモリアレイム-ARY2(又はメモリアレイム-ARY1)側の共通データ線を通して出力される。これにより、両信号が共に等しい寄生容量を持つ共通データ線を通してセンスアンプSAに伝えられる。これにより、信号伝達経路の寄生容量がバランスし、メモリセルとダミーセルを構成するMOSFETのコンダクタンス比に従ってレベル差を持つ読み出し信号と基準電圧を得ることができる。

第6図には、上記2ポートRAMにおける書き込み系の共通データ線と読み出し系の共通データ線の一実施例の回路図が示されている。

書き込みアドレスと読み出しアドレスが一致した場合、書き込み系の共通データ線D1と読み出し系の共通データ線RCD1を短絡させるスイッチMOSFETQ30、Q31及びQ32、Q33を設ける。すなわち、アドレス比較回路ACOMPがハイレベルの比較一致出力を形成したとき、スイッチMOSFETQ31とQ33をオン状態

にする。このとき、メモリアレイム-ARY1を選択する反転アドレス信号 $\overline{AR}9$ がハイレベルなら、スイッチMOSFETQ32がオン状態になって書き込み系の共通データ線D1と読み出し系の共通データ線RDC1に接続して、書き込み信号をそのまま伝える。このとき、メモリアレイム-ARY2側では、書き込み系の共通データ線D1の信号がインバータ回路を介して反転されて読み出し系の共通データ線RDC2に伝えられる。これにより、センスアンプSAには差動信号が入力され、その増幅出力信号が読み出し信号として出力される。なお、メモリアレイム-ARY2側が選択されるときには、書き込み系の共通データ線D1の信号がインバータ回路N30によって反転されてスイッチMOSFETQ31とQ32を通して読み出し共通データ線RCD1に伝えられ、上記のような擬似的な参照電圧としてセンスアンプSAに伝えられる。

なお、図示しないが、センスアンプSAとしては、シングルエンドの差動増幅回路を2個設けて、

その入力に差動的に上記読み出し系の共通データ線RCD1とRCD2を接続し、上記アドレス信号AR9と $\overline{AR}9$ により一方のセンスアンプを活性化するものであってもよい。すなわち、負荷に電流ミラー回路を用いたシングルエンド構成の差動増幅回路では、出力取り出し側が高感度であるので、高感度にある方のセンスアンプを上記アドレス信号AR9と $\overline{AR}9$ により選択するものである。

第8図には、上記第5図に示した2ポートRAMにおけるダミーセル列の一実施例の回路図が示されている。

この実施例では、メモリアレイム-ARY1に対応したダミーセルは1つのMOSFETから構成され、他方のメモリアレイム-ARY2に対応したダミーセルを構成する同様なMOSFETと直列形態に接続される。すなわち、メモリアレイム-ARY1とM-ARY2の一对からなるダミーデータ線間が上記ダミーセルを構成する2つのMOSFETにより接続される。

この実施例では、メモリアレイのデータ線及びダミーデータ線は、PチャンネルMOSFET Q32ないしQ37からなるMOSFETにより回路の接地電位のようなロウレベルにプリチャージされる。これに対して、共通データ線CD1とCD2は、NチャンネルMOSFET Q30とQ31により電源電圧Vccのようなハイレベルにプリチャージされる。

この構成においても、メモリアレイM-ARY1のデータ線が選択されるときには、メモリアレイM-ARY1側のダミーデータ線DD2が選択され、メモリアレイM-ARY2のデータ線が選択されるときにはメモリアレイM-ARY1側のダミーデータ線DD1が選択される。これにより、データ線とダミーデータ線がそれぞれ共通データ線CD1とCD2を介してセンスアンプに伝えられ、共通データ線の寄生容量を等しくできる。

また、上記のようにプリチャージレベルに設定すると、データ線及びダミーデータ線が選択されたとき、読み出し信号レベルは両者の電荷結合

によりハーフプリチャージ電位になり、そのハーフプリチャージ電位を基準にして、前記第7図に示したようにロウレベルLと基準電圧VRが変化する。これにより、差動型のセンスアンプの最も感度が高い中間電位での差信号を形成することができる。

このとき、共通データ線の寄生容量がデータ線やダミーデータ線の寄生容量に比べて小さいことにより、上記ハーフプリチャージ電位が下がり過ぎると、センスアンプの感度を悪くする方向に作用する。このときには、上記カラム選択動作が行われた後に、上記スイッチMOSFET Q30とQ31を再びオン状態にして、上記読み出し信号の直流レベルを持ち上げるようにするものであってもよい。

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 一方の入出力端子から書き込みが可能にされたラッチ回路を用いたシングルエンド構成のメモリセルを用いて高集積化を図るとともに、メモリセ

ルからの読み出し信号とダミーセルを用いた形成した基準電圧とを差動型のセンスアンプにより増幅することにより、高感度で高速の読み出しが可能になるという効果が得られる。

(2) メモリアレイを2分割し、それぞれにダミーセル列を設けて、メモリセルとダミーセルからの読み出し信号を上記分割されたメモリアレイに対応した共通データ線を通して出力させることにより、読み出し信号経路をバランスさせることができるから、いっそうの読み出し動作の安定化を実現できるという効果が得られる。

(3) データ線やダミーデータ線と共通データ線を逆のレベルにプリチャージしておいて、カラム選択動作によりハーフ電位にすることにより、差動型のセンスアンプを最も感度が高い領域で動作させることができるという効果が得られる。

(4) 上記(3)において、ハーフ電位が落ち込みすぎたとき、プリチャージMOSFETを再び動作状態にすることによって、上記センスアンプを高感度領域で動作させることができるという効果が得ら

れる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、ダミーセルの構成は、メモリセルの読み出し方式に応じて種々の実施形態を探ることができるものである。出力回路は、上記のようなラッチ回路を持つ他、動作タイミング信号に応じてセンスアンプの出力信号を出力する構成としてもよい。

RAMは、クロック信号CLKにより動作させるもの他、チップイネーブル信号又はチップ選択信号により、その動作を開始させるようにするものであってもよい。RAMは、スタンダードセル方式やゲートアレイ等のようなカスタム用大規模集積回路に内蔵されるものであってもよい。この場合、アドレスバッファを省略して内部アドレスバス等から供給されるアドレス信号を直接的にデコード回路に供給する構成としてもよい。

この発明は、シングルエンド構成のメモリセルを用いたスタティック型RAMとして広く利用できる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、一方の入出力端子から書き込みが可能にされたラッチ回路を用いたシングルエンド構成のメモリセルを用いて高集積化を図るとともに、メモリセルからの読み出し信号とダミーセルを用いた形成した基準電圧とを差動型のセンスアンプにより増幅することにより、高感度で高速の読み出しが可能になる。

4. 図面の簡単な説明

第1図は、この発明に係るスタティック型RAMの一実施例を示すブロック図、

第2図は、この発明に係るスタティック型RAMの一実施例を示す要部回路図、

第3図は、この発明に係るスタティック型RAMの他の一実施例を示す要部回路図、

読み出し系ワードドライバ、M-ARY, M-ARY 1, M-ARY 2...メモリアレイ、DCA...ダミーセルアレイ、DC1, DC2...ダミーセル列、YSW...Y選択回路(カラムスイッチ回路)、SA...センスアンプ、RWA...再書き込み回路、DOB...データ出力バッファ、DIB...データ入力バッファ、TG...タイミング制御回路、RTG...読み出し系タイミング発生回路、WTC...書き込み系タイミング発生回路、ACOMP...アドレス比較回路

代理人弁理士 小川 勝男

第4図は、この発明に係るスタティック型RAMの更に他の一実施例を示す要部回路図、

第5図は、この発明が適用された2ポートRAMの一実施例を示すブロック図、

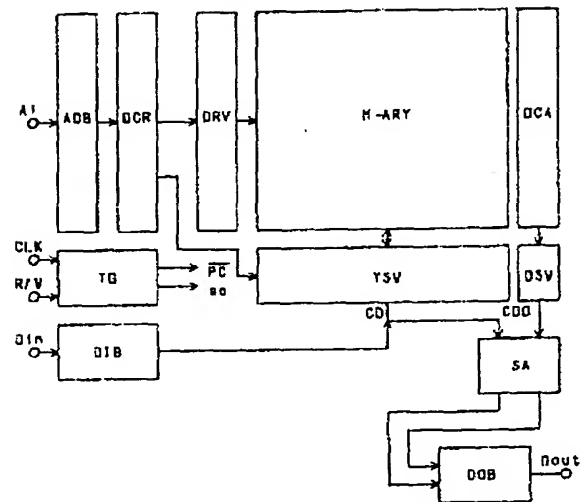
第6図は、上記2ポートRAMにおける書き込み系の共通データ線と読み出し系の共通データ線の一実施例を示す回路図、

第7図は、この発明に係るシングルエンド構成のメモリセルの読み出し動作の一例を説明するための波形図、

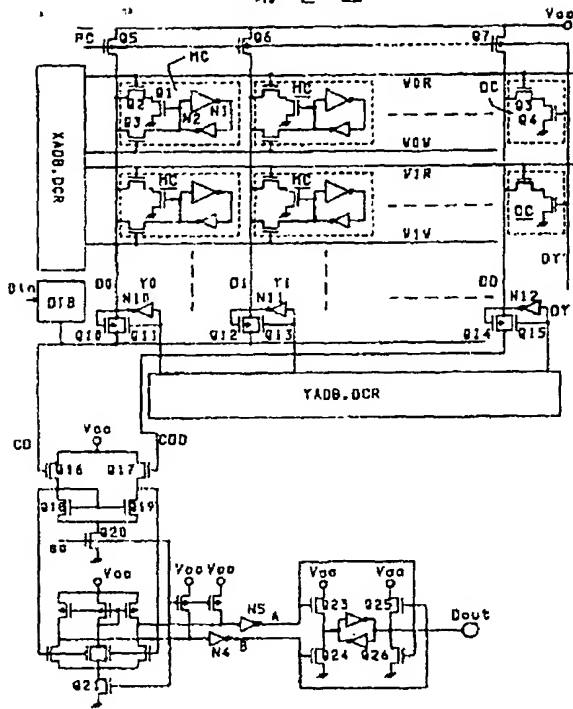
第8図は、上記2ポートRAMにおけるダミーセル列の一実施例の回路図が示されている。

XADB, YADB, ADB...アドレスバッファ、RAB...読み出し系アドレスバッファ、WAB...書き込み系アドレスバッファ、DCR...デコード回路、RDCR...読み出し系アドレスデコード回路、WDCR...書き込み系アドレスデコード回路、DRV...ドライバ、RDV...読み出し系ワードドライバ、書き込み系ワードドライバ、WYDV1, WYDV2...書き込み

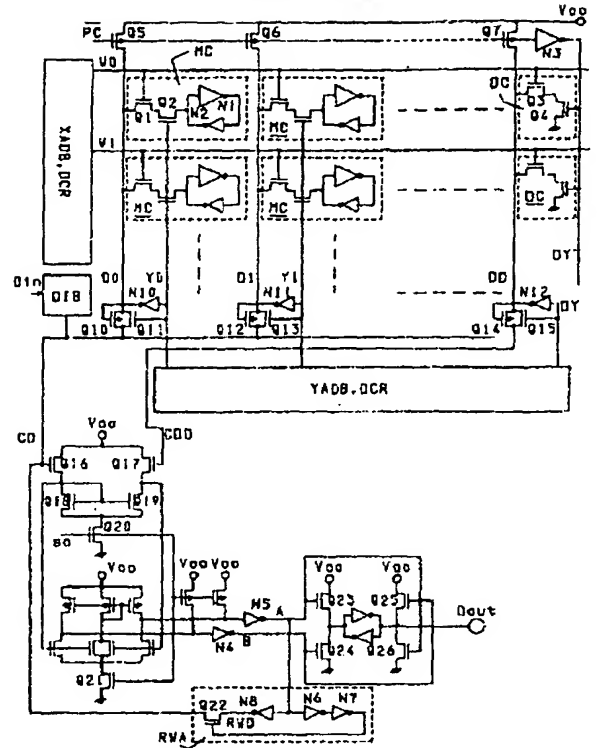
第1図



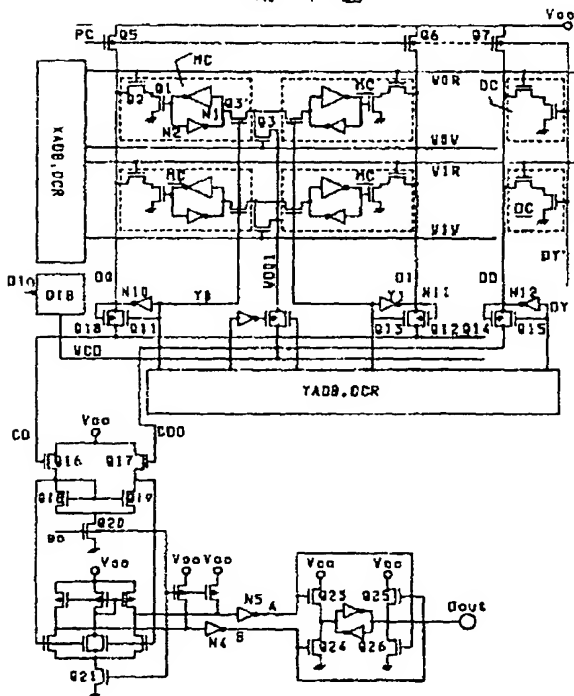
第 2 図



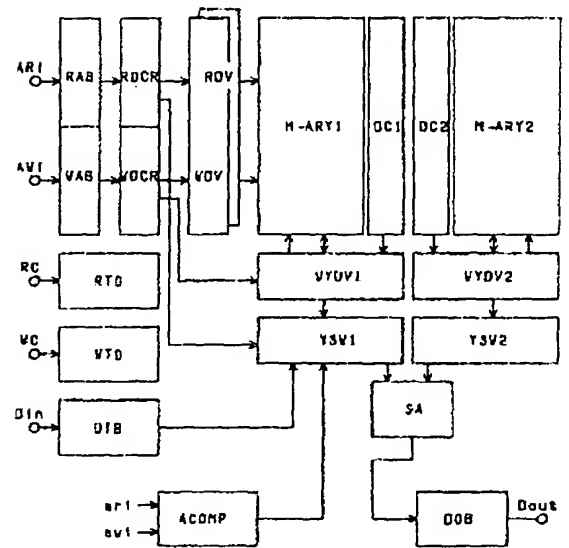
第 3 図



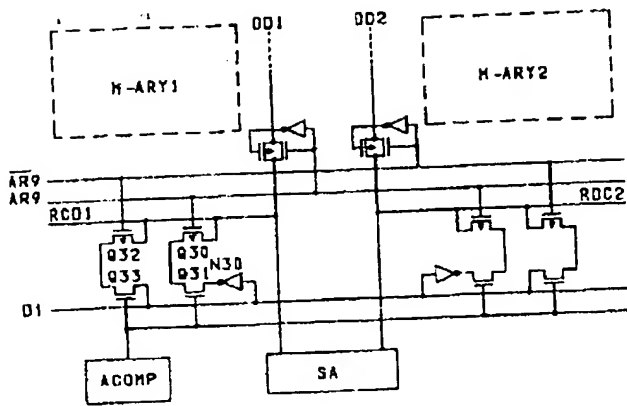
第 4 図



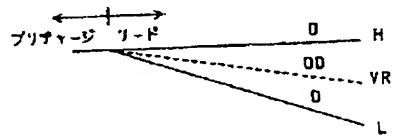
第 5 図



第 6 図



第 7 図



第 8 図

